

日本国特許庁
JAPAN PATENT OFFICE

T. Yoneyama
3/17/04
Q 80332
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月24日

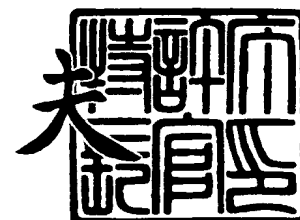
出願番号
Application Number: 特願2003-080098
[ST. 10/C]: [JP 2003-080098]

出願人
Applicant(s): NECエレクトロニクス株式会社

2004年 2月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3007162

【書類名】 特許願

【整理番号】 73420023

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地

NECエレクトロニクス株式会社内

【氏名】 米山 輝

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1、

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流駆動回路及び表示装置

【特許請求の範囲】

【請求項 1】 カレントミラー回路と、前記カレントミラー回路に基準電流を入力する電流源と、前記カレントミラー回路の出力電流が入力されるスイッチ手段と、前記スイッチ手段の出力電流を駆動電流として出力するカスコード回路と、を備えることを特徴とする電流駆動回路。

【請求項 2】 ゲート端とドレイン端とが互いに接続された第 1 のトランジスタと、ソース端が前記第 1 のトランジスタの前記ドレイン端に接続されゲート端とドレイン端とが互いに接続された第 2 のトランジスタと、前記第 2 のトランジスタに基準電流を流す電流源と、を含むバイアス発生部と、ゲート端が前記第 1 のトランジスタの前記ゲート端に接続された第 3 のトランジスタと、ゲート端が前記第 2 のトランジスタの前記ゲート端に接続された第 4 のトランジスタと、前記第 3 のトランジスタのドレイン端と前記第 4 のトランジスタのソース端との間に設けられたスイッチ手段と、を含む電流出力部と、を備えることを特徴とする電流駆動回路。

【請求項 3】 複数の前記電流出力部と、前記複数の前記電流出力部のそれぞれの前記第 4 のトランジスタのドレイン端が接続された端子と、を備えることを特徴とする請求項 2 記載の電流駆動回路。

【請求項 4】 前記複数の前記電流出力部のそれぞれは、重み付けされた電流を出力することを特徴とする請求項 3 記載の電流駆動回路。

【請求項 5】 複数の請求項 2 記載の電流駆動回路と、前記複数の前記電流駆動回路のそれぞれの前記第 4 のトランジスタのドレイン端が接続された端子と、を備えることを特徴とする電流駆動回路。

【請求項 6】 前記複数の前記電流駆動回路のそれぞれは、重み付けされた電流を出力することを特徴とする請求項 5 記載の電流駆動回路。

【請求項 7】 前記スイッチ手段は、制御信号によりオンオフされることを特徴とする請求項 1 又は請求項 2 記載の電流駆動回路。

【請求項 8】 前記制御信号は、表示装置の階調データ信号であることを特

徴とする請求項7記載の電流駆動回路。

【請求項9】 前記スイッチ手段は、MOSトランジスタであることを特徴とする請求項1又は請求項2記載の電流駆動回路。

【請求項10】 前記スイッチ手段は、複数のスイッチ手段を含むスイッチ群であって、前記スイッチ群は、表示装置の階調データ信号のデコードを行うことを特徴とする請求項3又は請求項5記載の電流駆動回路。

【請求項11】 前記第3のトランジスタのソース端に接続されたスイッチ手段を備えることを特徴とする請求項10記載の電流駆動回路。

【請求項12】 前記第1のトランジスタのソース端に接続された常時オン状態のスイッチ手段を備えることを特徴とする請求項11記載の電流駆動回路。

【請求項13】 マトリクス状に配置された有機EL素子と、前記有機EL素子に駆動電流を流すための電流駆動回路及び走査回路と、画像データ信号が入力されて前記電流駆動回路に階調データ信号を与えるとともに前記走査回路に走査制御信号を与える信号処理回路と、を備える表示装置であって、前記電流駆動回路として請求項1又は請求項2記載の電流駆動回路を備えることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流駆動回路及び表示装置に関し、特に有機EL素子の電流駆動回路及び表示装置に関する。

【0002】

【従来の技術】

有機EL素子は、駆動電流によって発光輝度が決定されるため、複数の有機EL素子がマトリクス状に配置された表示装置では、電圧駆動するよりも電流駆動した方が、発光輝度のばらつきを小さくすることができる。従来、有機EL素子の電流駆動回路として、例えば図11に示す構成が用いられる。図11は、従来例の電流駆動回路の構成図である。図11に示すように、従来例の電流駆動回路は、Pチャネル型MOSトランジスタM01と、Pチャネル型MOSトランジス

タM11と、基準電流源I1と、スイッチ手段SW1と、出力端子O1と、を備え、出力端子O1には負荷としての有機EL素子Z1が接続される。そして、Pチャネル型MOSトランジスタM01とPチャネル型MOSトランジスタM11とは、カレントミラー回路を構成して基準電流源I1が発生する電流IREFを高電位側電源VDDから折り返し、スイッチ手段SW1を介して出力端子O1に接続された有機EL素子Z1に供給するようになっている。スイッチ手段SW1は、例えばPチャネル型MOSトランジスタにより構成され、1ビットの階調データ信号D1によりオンオフされる。スイッチ手段SW1がオンされると、駆動電流IOUTとしてカレントミラー回路の所定の折り返し電流が有機EL素子Z1に供給されて有機EL素子Z1が点灯し、スイッチ手段SW1がオフされると、駆動電流IOUTが0となって有機EL素子Z1が消灯する。また、バイポーラトランジスタを用いた同様の構成は、例えば特許文献1に記載されている。

【0003】

【特許文献1】

特開2001-42827号公報（図7）

【0004】

【発明が解決しようとする課題】

ところが、図11に示す従来例の電流駆動回路図は、カレントミラー回路の出力端であるPチャネル型MOSトランジスタM11のドレイン端と出力端子O1との間にスイッチ手段SW1が接続される構成であるため、スイッチ手段SW1がオフ状態のとき、スイッチ手段SW1の接点Aと接点Bとの間の電位差は、ほぼ高電位側電源VDDの電位VDDと低電位側電源としてのグラウンドとの差、即ち電圧VDDに近い非常に大きなものとなり、このため、スイッチ手段SW1がオフ状態からオン状態に変化したときに図12に示すような大きなサージ電流が発生するという問題が起こる。さらに、図11に示す従来例の電流駆動回路図は、基本的なカレントミラー回路を用いているため、高精度の折り返し電流を得ることができないという問題も起こる。

【0005】

本発明はかかる問題点に鑑みてなされたものであって、高精度の駆動電流を得

ることができ、かつ、サージ電流の発生を抑えることができる電流駆動回路、及び、その電流駆動回路を備える表示装置、を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の電流駆動回路は、カレントミラー回路と、前記カレントミラー回路に基準電流を入力する電流源と、前記カレントミラー回路の出力電流が入力されるスイッチ手段と、前記スイッチ手段の出力電流を駆動電流として出力するカスコード回路と、を備えることを特徴とする。

【0007】

また、ゲート端とドレイン端とが互いに接続された第1のトランジスタと、ソース端が前記第1のトランジスタの前記ドレイン端に接続されゲート端とドレイン端とが互いに接続された第2のトランジスタと、前記第2のトランジスタに基準電流を流す電流源と、を含むバイアス発生部と、ゲート端が前記第1のトランジスタの前記ゲート端に接続された第3のトランジスタと、ゲート端が前記第2のトランジスタの前記ゲート端に接続された第4のトランジスタと、前記第3のトランジスタのドレイン端と前記第4のトランジスタのソース端との間に設けられたスイッチ手段と、を含む電流出力部と、を備えることを特徴とする。

【0008】

また、複数の前記電流出力部と、前記複数の前記電流出力部のそれぞれの前記第4のトランジスタのドレイン端が接続された端子と、を備えることを特徴とする。

【0009】

また、前記複数の前記電流出力部のそれぞれは、重み付けされた電流を出力することを特徴とする。

【0010】

また、複数の本発明の電流駆動回路と、前記複数の前記電流駆動回路のそれぞれの前記第4のトランジスタのドレイン端が接続された端子と、を備えることを特徴とする。

【0011】

また、前記複数の前記電流駆動回路のそれぞれは、重み付けされた電流を出力することを特徴とする。

【0012】

また、前記スイッチ手段は、制御信号によりオンオフされることを特徴とする。

【0013】

また、前記制御信号は、表示装置の階調データ信号であることを特徴とする。

【0014】

また、前記スイッチ手段は、MOSトランジスタであることを特徴とする。

【0015】

また、前記スイッチ手段は、複数のスイッチ手段を含むスイッチ群であって、前記スイッチ群は、表示装置の階調データ信号のデコードを行うことを特徴とする。

【0016】

また、前記第3のトランジスタのソース端に接続されたスイッチ手段を備えることを特徴とする。

【0017】

また、前記第1のトランジスタのソース端に接続された常時オン状態のスイッチ手段を備えることを特徴とする。

【0018】

さらに、本発明の表示装置は、マトリクス状に配置された有機EL素子と、前記有機EL素子に駆動電流を流すための電流駆動回路及び走査回路と、画像データ信号が入力されて前記電流駆動回路に階調データ信号を与えるとともに前記走査回路に走査制御信号を与える信号処理回路と、を備える表示装置であって、前記電流駆動回路として本発明の電流駆動回路を備えることを特徴とする。

【0019】

【発明の実施の形態】

次に本発明の実施の形態を図面を参照して説明する。先ず本発明の第1の実施の形態の電流駆動回路の構成について図1を参照して説明する。図1は、本発明

の第1の実施の形態の電流駆動回路の構成図である。図1に示すように、本発明の第1の実施の形態の電流駆動回路は、バイアス発生部10と、電流出力部11と、を備える。

【0020】

バイアス発生部10は、Pチャネル型MOSトランジスタM01と、Pチャネル型MOSトランジスタM02と、基準電流源I1と、を備える。Pチャネル型MOSトランジスタM01のソース端は、高電位側電源VDDに接続され、Pチャネル型MOSトランジスタM01のゲート端とPチャネル型MOSトランジスタM01のドレイン端とは、互いに接続される。Pチャネル型MOSトランジスタM02のソース端は、Pチャネル型MOSトランジスタM01のドレイン端に接続され、Pチャネル型MOSトランジスタM02のゲート端とPチャネル型MOSトランジスタM02のドレイン端とは、互いに接続される。基準電流源I1は、Pチャネル型MOSトランジスタM02のドレイン端と低電位側電源としてのグラウンドとの間に接続され、Pチャネル型MOSトランジスタM02に定電流IREFを流す。

【0021】

電流出力部11は、Pチャネル型MOSトランジスタM11と、スイッチ手段SW1と、Pチャネル型MOSトランジスタM12と、出力端子O1と、を備える。Pチャネル型MOSトランジスタM11のソース端は、高電位側電源VDDに接続され、Pチャネル型MOSトランジスタM11のゲート端は、Pチャネル型MOSトランジスタM01のゲート端に接続される。Pチャネル型MOSトランジスタM12のゲート端は、Pチャネル型MOSトランジスタM02のゲート端に接続され、Pチャネル型MOSトランジスタM12のドレイン端は、出力端子O1に接続される。スイッチ手段SW1は、Pチャネル型MOSトランジスタM11のドレイン端とPチャネル型MOSトランジスタM12のソース端との間に設けられる。即ち、スイッチ手段SW1のオンオフ路の一端である接点Aは、Pチャネル型MOSトランジスタM11のドレイン端に接続され、スイッチ手段SW1のオンオフ路の他端である接点Bは、Pチャネル型MOSトランジスタM12のソース端に接続される。スイッチ手段SW1は、例えばPチャネル型MO

Sトランジスタにより構成され、そのPチャネル型MOSトランジスタのソースドレイン路がスイッチ手段SW1のオンオフ路となり、そのPチャネル型MOSトランジスタのゲート端には、1ビットの階調データ信号D1が与えられる。スイッチ手段SW1は、オンオフ制御信号である階調データ信号D1によりオンオフされる。

【0022】

そして、出力端子O1とグラウンドとの間には、負荷としての有機EL素子Z1が接続される。

【0023】

次に動作について説明する。Pチャネル型MOSトランジスタM01とPチャネル型MOSトランジスタM11とは、カレントミラー回路として動作を行い、Pチャネル型MOSトランジスタM02とPチャネル型MOSトランジスタM12とは、カスコード回路として動作を行い、基準電流源I1は、カスコード回路のPチャネル型MOSトランジスタM02を介してカレントミラー回路のPチャネル型MOSトランジスタM01に定電流IREFを入力する動作を行う。ここでは、Pチャネル型MOSトランジスタM01とPチャネル型MOSトランジスタM11とのチャネル長及びチャネル幅を同一とし、Pチャネル型MOSトランジスタM02とPチャネル型MOSトランジスタM12とのチャネル長及びチャネル幅を同一とするが、Pチャネル型MOSトランジスタM01とPチャネル型MOSトランジスタM11とのチャネル長チャネル幅比を変えてミラー比を変えてもよいし、さらに、Pチャネル型MOSトランジスタM01とPチャネル型MOSトランジスタM02とのチャネル長及びチャネル幅は同一とするが、同一でなくてもよい。カレントミラー回路のPチャネル型MOSトランジスタM01に定電流IREFが入力されると、定電流IREFと等倍の電流がカレントミラー回路のPチャネル型MOSトランジスタM11から折り返し出力されてスイッチ手段SW1に入力される。そして、階調データ信号D1が論理Lレベルとなってスイッチ手段SW1がオンされると、カレントミラー回路のPチャネル型MOSトランジスタM11の出力電流がスイッチ手段SW1から出力されてカスコード回路のPチャネル型MOSトランジスタM12に入力され、カスコード回路のP

チャネル型MOSトランジスタM12は、スイッチ手段SW1の出力電流を駆動電流IOUTとして出力端子O1に出力して有機EL素子Z1を点灯させる。また、階調データ信号D1が論理Hレベルとなってスイッチ手段SW1がオフされると、カレントミラー回路のPチャネル型MOSトランジスタM11の出力電流がスイッチ手段SW1により遮断され、カスコード回路のPチャネル型MOSトランジスタM12が出力端子O1に出力する駆動電流IOUTが0となって、有機EL素子Z1は消灯する。

【0024】

次にスイッチ手段SW1がオフ状態のときのスイッチ手段SW1の接点Aと接点Bとの間の電位差について説明する。Pチャネル型MOSトランジスタM01及びPチャネル型MOSトランジスタM02には、共に基準電流源I1からの定電流IREFが流れ、Pチャネル型MOSトランジスタM01及びPチャネル型MOSトランジスタM02は、共に飽和領域で動作しているため、 μ 、COX、 λ 、L、Wをそれぞれキャリア移動度、ゲート酸化膜容量、チャネル変調効果係数、Pチャネル型MOSトランジスタM01及びPチャネル型MOSトランジスタM02のチャネル長、そのチャネル幅とし、 V_{TH1} 、 V_{GS1} 、 V_{DS1} 、 V_{TH2} 、 V_{GS2} 、 V_{DS2} をそれぞれPチャネル型MOSトランジスタM01のしきい値電圧の絶対値、Pチャネル型MOSトランジスタM01のゲートソース間電圧の絶対値、Pチャネル型MOSトランジスタM01のドレインソース間電圧の絶対値、Pチャネル型MOSトランジスタM02のしきい値電圧の絶対値、Pチャネル型MOSトランジスタM02のゲートソース間電圧の絶対値、Pチャネル型MOSトランジスタM02のドレインソース間電圧の絶対値とし、 $\beta = \mu \cdot COX$ とすれば、次の式1、式2に示す関係式が得られる。なお、以下の数式においては、 \cdot は乗算、 $/$ は除算、 a^b はaのb乗、 \sqrt{a} はaの平方根を表す。

【0025】

$$I_{REF} = (1/2) \cdot \beta \cdot (W/L) \cdot (V_{GS1} - V_{TH1})^2 \cdot (1 + \lambda \cdot V_{DS1}) \cdots \text{式1 (但しこの場合 } V_{GS1} = V_{DS1})$$

$$I_{REF} = (1/2) \cdot \beta \cdot (W/L) \cdot (V_{GS2} - V_{TH2})^2 \cdot (1$$

$+ \lambda \cdot V_{DS2}) \cdots$ 式 2 (但しこの場合 $V_{GS2} = V_{DS2}$)

チャネル変調効果係数 λ の値は非常に小さな値であるため、簡単化のために無視すれば、式 1 及び式 2 を変形して、Pチャネル型 MOS トランジスタ M01 及び Pチャネル型 MOS トランジスタ M02 のゲートソース間電圧は、次の式 3、式 4 のように表すことができる。

【0026】

$$V_{GS1} = V_{TH1} + \sqrt{(2 I_{REF} / \beta) \cdot (L / W)} \cdots \text{式 3}$$

$$V_{GS2} = V_{TH2} + \sqrt{(2 I_{REF} / \beta) \cdot (L / W)} \cdots \text{式 4}$$

スイッチ手段 SW1 がオフ状態のときの接点 A の電位を V_A とし、スイッチ手段 SW1 がオフ状態のときの接点 B の電位を V_B とすれば、電位 V_A は、高電位側電源 VDD の電位 VDD にほぼ等しくなり、Pチャネル型 MOS トランジスタ M12 のしきい値電圧は、Pチャネル型 MOS トランジスタ M02 のしきい値電圧 V_{TH2} と等しいので、電位 V_B は、Pチャネル型 MOS トランジスタ M02 のゲート電位即ち $(V_{DD} - V_{GS1} - V_{GS2})$ よりは高く、Pチャネル型 MOS トランジスタ M02 のゲート電位より V_{TH2} 分高い電位即ち $(V_{DD} - V_{GS1} - V_{GS2} + V_{TH2})$ よりは低い電位となる。したがって、式 3、式 4 により、スイッチ手段 SW1 の接点 A と接点 B との間の電位差 $(V_A - V_B)$ は、最大でもおよそ次の式 5 のように表すことができる。

【0027】

$$V_A - V_B = V_{TH1} + V_{TH2} + 2\sqrt{(2 I_{REF} / \beta) \cdot (L / W)} \cdots \text{式 5}$$

スイッチ手段 SW1 がオフ状態のときのスイッチ手段 SW1 の接点 A と接点 B との間の電位差は、図 11 に示す従来例の電流駆動回路では、ほぼ電圧 VDD であったが、本実施の形態の電流駆動回路では、式 5 に示すように、 V_{TH1} 及び V_{TH2} が僅かな値であり、 I_{REF} を適宜設定しても電圧 VDD よりはるかに小さくできることがわかる。これにより、図 2 に示すように、スイッチ手段 SW1 がオフ状態からオン状態に変化したときの駆動電流 I_{OUT} のサージ電流の発生が抑えられる。

【0028】

なお、Pチャネル型MOSトランジスタM01と、Pチャネル型MOSトランジスタM02と、Pチャネル型MOSトランジスタM11と、Pチャネル型MOSトランジスタM12と、をNチャネル型MOSトランジスタに変更して電源電圧の高低を逆にした構成に変更することができ、スイッチ手段SW1をNチャネル型MOSトランジスタに変更することもできる。

【0029】

以上説明したように、本発明の第1の実施の形態の電流駆動回路によれば、カスコード型カレントミラー回路の構成としたことにより高精度の駆動電流IOUTを得ることができ、かつ、スイッチ手段SW1をPチャネル型MOSトランジスタM11とPチャネル型MOSトランジスタM12との間に設ける構成としたことによりスイッチ手段SW1がオフ状態からオン状態に変化したときの駆動電流IOUTのサージ電流を抑えることができるという効果が得られ、さらに、サージ電流が抑えられて駆動電流IOUTが安定するまでの時間が短縮されることにより高速動作が可能になるという効果が得られる。

【0030】

次に本発明の第2の実施の形態の電流駆動回路の構成について図3を参照して説明する。図3は、本発明の第2の実施の形態の電流駆動回路の構成図である。図3に示す本発明の第2の実施の形態の電流駆動回路の構成と図1に示す本発明の第1の実施の形態の電流駆動回路の構成との相違部分は、マトリクス型有機EL表示装置に適用できるように電流出力部を複数備えるように変更した部分のみであり他の構成部分は同一であるため、図3に示す構成と図1に示す構成との同一構成部分には同一符号を付してその説明を省略する。

【0031】

図3に示すように、本発明の第2の実施の形態の電流駆動回路は、バイアス発生部10と、 n (n は2以上の自然数) 個の電流出力部11、電流出力部12から電流出力部1 n までと、を備える。

【0032】

電流出力部12は、Pチャネル型MOSトランジスタM21と、スイッチ手段SW2と、Pチャネル型MOSトランジスタM22と、出力端子O2と、を備え

る。Pチャネル型MOSトランジスタM21のソース端は、高電位側電源VDDに接続され、Pチャネル型MOSトランジスタM21のゲート端は、Pチャネル型MOSトランジスタM01のゲート端に接続される。Pチャネル型MOSトランジスタM22のゲート端は、Pチャネル型MOSトランジスタM02のゲート端に接続され、Pチャネル型MOSトランジスタM22のドレイン端は、出力端子O2に接続される。スイッチ手段SW2は、Pチャネル型MOSトランジスタM21のドレイン端とPチャネル型MOSトランジスタM22のソース端との間に設けられる。スイッチ手段SW2は、例えばPチャネル型MOSトランジスタにより構成され、そのPチャネル型MOSトランジスタのソースドレイン路がスイッチ手段SW2のオンオフ路となり、そのPチャネル型MOSトランジスタのゲート端には、1ビットの階調データ信号D2が与えられる。スイッチ手段SW2は、オンオフ制御信号である階調データ信号D2によりオンオフされる。

【0033】

そして、出力端子O1とグラウンドとの間には、負荷としての有機EL素子Z2が接続され、階調データ信号D2が論理Lレベルとなってスイッチ手段SW2がオンされると、有機EL素子Z2が点灯し、階調データ信号D2が論理Hレベルとなってスイッチ手段SW2がオフされると、有機EL素子Z2は消灯する。

【0034】

以下同様にして、電流出力部1nは、Pチャネル型MOSトランジスタMn1と、スイッチ手段SWnと、Pチャネル型MOSトランジスタMn2と、出力端子Onと、を備える。Pチャネル型MOSトランジスタMn1のソース端は、高電位側電源VDDに接続され、Pチャネル型MOSトランジスタMn1のゲート端は、Pチャネル型MOSトランジスタM01のゲート端に接続される。Pチャネル型MOSトランジスタMn2のゲート端は、Pチャネル型MOSトランジスタM02のゲート端に接続され、Pチャネル型MOSトランジスタMn2のドレイン端は、出力端子Onに接続される。スイッチ手段SWnは、Pチャネル型MOSトランジスタMn1のドレイン端とPチャネル型MOSトランジスタMn2のソース端との間に設けられる。スイッチ手段SWnは、例えばPチャネル型MOSトランジスタにより構成され、そのPチャネル型MOSトランジスタのソー

ストレイン路がスイッチ手段 SW_n のオンオフ路となり、その P チャネル型 MOS トランジスタのゲート端には、1 ビットの階調データ信号 D_n が与えられる。スイッチ手段 SW_n は、オンオフ制御信号である階調データ信号 D_n によりオンオフされる。

【0035】

そして、出力端子 O_n とグラウンドとの間には、負荷としての有機 EL 素子 Z_n が接続され、階調データ信号 D_n が論理 L レベルとなってスイッチ手段 SW_n がオンされると、有機 EL 素子 Z_n が点灯し、階調データ信号 D_n が論理 H レベルとなってスイッチ手段 SW_n がオフされると、有機 EL 素子 Z_n は消灯する。

【0036】

以上説明したように、本発明の第 2 の実施の形態の電流駆動回路によれば、バイアス発生部 10 の基準電流源 I_1 により n 個の電流出力部 11、電流出力部 12 から電流出力部 1 n までにそれぞれ同じ駆動電流を発生させて n ビットの階調データ信号 D_1 、階調データ信号 D_2 から階調データ信号 D_n までによりスイッチ手段 SW_1 、スイッチ手段 SW_2 からスイッチ手段 SW_n までをオンオフする構成としたことにより、 n 個の有機 EL 素子 Z_1 、有機 EL 素子 Z_2 から有機 EL 素子 Z_n までを同時に個別に駆動することができるようになるという効果が得られる。

【0037】

次に本発明の第 3 の実施の形態の表示装置の構成について図 4 を参照して説明する。図 4 は、本発明の第 3 の実施の形態の表示装置の構成図である。図 4 に示すように、本発明の第 3 の実施の形態の表示装置は、信号処理回路 60 と、電流駆動回路 61 と、走査回路 62 と、マトリクス状に m (m は 2 以上の自然数) 行 n (n は 2 以上の自然数) 列配置された有機 EL 素子 63 と、を備える。信号処理回路 60 は、1 画面分の画像データ信号 64 が入力されると、順次 1 行分の階調データ信号 65 を電流駆動回路 61 に与え、1 行分の階調データ信号 65 を出力する毎に走査制御信号 66 を走査回路 62 に与える。 n ビットの階調データ信号 65 の各ビットは、1 行分の n 個の有機 EL 素子 63 に 1 対 1 で対応し、各ビットの論理レベルにより対応する有機 EL 素子 63 の点灯又は消灯が指定される

。電流駆動回路 6 1 は、階調データ信号 6 5 の各ビットに 1 対 1 で対応する n 個の出力端子 O_1 から出力端子 O_n までを備え、対応するビットが論理 L レベルのときその出力端子から駆動電流が有機 EL 素子 6 3 の正極端子に流し込まれ、対応するビットが論理 H レベルのときその出力端子から駆動電流は流されない。有機 EL 素子 6 3 の負極端子は、1 行分の n 個ずつ共通に走査回路 6 2 の出力端子 C_1 から出力端子 C_m までに接続され、走査制御信号 6 6 により出力端子 C_1 から C_m までの 1 つには順次低電位側電源としてのグラウンドのレベルが出力される。そして、 m 行 n 列の有機 EL 素子 6 3 のうち、正極端子に駆動電流が流し込まれ、負極端子にグラウンドのレベルが与えられた有機 EL 素子 6 3 のみが点灯し、残りは消灯する。

【0038】

電流駆動回路 6 1 には、図 3 に示す本発明の第 2 の実施の形態の電流駆動回路が適用され、階調データ信号 6 5 は、図 3 に示す n ビットの階調データ信号 D_1 、階調データ信号 D_2 から階調データ信号 D_n までとなる。

【0039】

以上説明したように、本発明の第 3 の実施の形態の表示装置によれば、サージ電流が抑えられた高精度の駆動電流を高速出力する本発明の第 2 の実施の形態の電流駆動回路を備えることにより、高品質で高速表示可能な表示装置を実現することができるという効果が得られる。

【0040】

次に本発明の第 4 の実施の形態の電流駆動回路の構成について図 5 を参照して説明する。図 5 は、本発明の第 4 の実施の形態の電流駆動回路の構成図である。図 5 に示す本発明の第 4 の実施の形態の電流駆動回路の構成と図 3 に示す本発明の第 2 の実施の形態の電流駆動回路の構成との相違部分は、 n 個の電流出力部 1 1、電流出力部 1 2 から電流出力部 1 n までのそれぞれの出力端を 1 つの出力端子 O_1 に接続するように変更した部分のみであり他の構成部分は同一であるため、図 5 に示す構成と図 3 に示す構成との同一構成部分には同一符号を付してその説明を省略する。

【0041】

図5に示すように、 n 個のPチャネル型MOSトランジスタ $M12$ 、Pチャネル型MOSトランジスタ $M22$ からPチャネル型MOSトランジスタ $Mn2$ までのそれぞれのドレイン端が出力端子 $O1$ に共通に接続され、出力端子 $O1$ とグラウンドとの間には、負荷としての有機EL素子 $Z1$ が接続される。これにより、 n 個の電流出力部 11 、電流出力部 12 から電流出力部 $1n$ までを用いて有機EL素子 $Z1$ の駆動電流を階調制御することができるようになる。

【0042】

なお、本実施の形態では、1つの有機EL素子に階調制御された駆動電流を供給する構成を示したが、本発明の第3の実施の形態の表示装置に適用するためには、本実施の形態の電流駆動回路を、出力端子 $O2$ から出力端子 On までに対し、それぞれ備えるようにすればよい。

【0043】

n 個の電流出力部 11 、電流出力部 12 から電流出力部 $1n$ までのそれぞれの出力電流が等しい場合、 n ビットの階調データ信号 $D1$ 、階調データ信号 $D2$ から階調データ信号 Dn までによって n 個のスイッチ手段 $SW1$ 、スイッチ手段 $SW2$ からスイッチ手段 SWn までのうちのオンする個数を変えることにより、 n 階調変化できる駆動電流を得ることができ、さらに、 n 個の電流出力部 11 、電流出力部 12 から電流出力部 $1n$ までの折り返し電流のミラー比をバイナリで重み付けすることにより、 n 個の電流出力部 11 、電流出力部 12 から電流出力部 $1n$ までのそれぞれの出力電流は、重み付けされて、 i を n までの自然数とすれば、 $2^{(i-1)} \cdot I_{REF}$ と表すことができる。したがって、 2^n 階調変化できる駆動電流を得ることができる。

【0044】

以上説明したように、本発明の第4の実施の形態の電流駆動回路によれば、 n 階調変化できる駆動電流と 2^n 階調変化できる駆動電流を得ることができるという効果が得られる。

【0045】

次に本発明の第5の実施の形態の電流駆動回路の構成について図6を参照して説明する。図6は、本発明の第5の実施の形態の電流駆動回路の構成図である。

図6に示す本発明の第5の実施の形態の電流駆動回路は、図1に示す本発明の第1の実施の形態の電流駆動回路を n (n は2以上の自然数)個備えて、 n 個の電流駆動回路21、電流駆動回路22から電流駆動回路2 n までのそれぞれの出力端を1つの出力端子O1に接続している。図6に示す構成と図1に示す構成との同一構成部分には同一符号を付してその説明を省略する。

【0046】

n 個の電流駆動回路21、電流駆動回路22から電流駆動回路2 n までのそれぞれの構成は同一である。即ち、Pチャネル型MOSトランジスタM01と、Pチャネル型MOSトランジスタM03からPチャネル型MOSトランジスタM02 $n-1$ までとは同一であり、Pチャネル型MOSトランジスタM11と、Pチャネル型MOSトランジスタM21からPチャネル型MOSトランジスタM n 1までとは同一であり、Pチャネル型MOSトランジスタM02と、Pチャネル型MOSトランジスタM04からPチャネル型MOSトランジスタM02 n までとは同一であり、Pチャネル型MOSトランジスタM12と、Pチャネル型MOSトランジスタM22からPチャネル型MOSトランジスタM n 2までとは同一であり、基準電流源I1と、基準電流源I2から基準電流源I n までとは同一であり、スイッチ手段SW1と、スイッチ手段SW2からスイッチ手段SW n までとは同一である。

【0047】

図6に示すように、 n 個のPチャネル型MOSトランジスタM12、Pチャネル型MOSトランジスタM22からPチャネル型MOSトランジスタM n 2までのそれぞれのドレイン端が出力端子O1に共通に接続され、出力端子O1とグラウンドとの間には、負荷としての有機EL素子Z1が接続される。これにより、 n 個の電流駆動回路21、電流駆動回路22から電流駆動回路2 n までを用いて有機EL素子Z1の駆動電流を階調制御することができるようになる。

【0048】

なお、本実施の形態では、1つの有機EL素子に階調制御された駆動電流を供給する構成を示したが、本発明の第3の実施の形態の表示装置に適用するためには、本実施の形態の電流駆動回路を、出力端子O2から出力端子O n までに対し

、それぞれ備えるようにすればよい。

【0049】

n 個の電流駆動回路 2 1、電流駆動回路 2 2 から電流駆動回路 2 n までのそれぞれの出力電流が等しい場合、n ビットの階調データ信号 D 1、階調データ信号 D 2 から階調データ信号 D n までによって n 個のスイッチ手段 S W 1、スイッチ手段 S W 2 からスイッチ手段 S W n までのうちのオンする個数を変えることにより、n 階調変化できる駆動電流を得ることができ、さらに、n 個の電流駆動回路 2 1、電流駆動回路 2 2 から電流駆動回路 2 n までの基準電流源の定電流値をバイナリで重み付けすることにより、n 個の電流駆動回路 2 1、電流駆動回路 2 2 から電流駆動回路 2 n までのそれぞれの出力電流は、重み付けされて、i を n までの自然数とすれば、 $2^{(i-1)} \cdot I_{REF}$ と表すことができる。したがって、 2^n 階調変化できる駆動電流を得ることができる。

【0050】

以上説明したように、本発明の第 5 の実施の形態の電流駆動回路によれば、n 階調変化できる駆動電流と 2^n 階調変化できる駆動電流を得ることができるといふ効果が得られる。

【0051】

次に本発明の第 6 の実施の形態の電流駆動回路の構成について図 7、図 8 及び図 9 を参照して説明する。図 7 は、本発明の第 6 の実施の形態の電流駆動回路の構成図であり、図 8 は、図 7 の詳細な構成図であり、図 9 は、図 8 のデコード動作の説明図である。図 7 に示す本発明の第 6 の実施の形態の電流駆動回路の構成と図 5 に示す本発明の第 4 の実施の形態の電流駆動回路の構成との相違部分は、n 個のスイッチ手段 S W 1、スイッチ手段 S W 2 からスイッチ手段 S W n までを、複数のスイッチ手段を含む n 個のスイッチ群 S G 1、スイッチ群 S G 2 からスイッチ群 S G n までに変更し、n 個の電流出力部 1 1、電流出力部 1 2 から電流出力部 1 n までを、n 個の電流出力部 3 1、電流出力部 3 2 から電流出力部 3 n までに変更した部分のみであり他の構成部分は同一であるため、図 7 に示す構成と図 5 に示す構成との同一構成部分には同一符号を付してその説明を省略する。

【0052】

図5に示す本発明の第4の実施の形態の電流駆動回路は、 n 個の電流出力部11、電流出力部12から電流出力部1 n までのそれぞれにスイッチ手段を1つしか備えていないため、 n 個の電流出力部11、電流出力部12から電流出力部1 n までのそれぞれの出力電流が等しく n 階調制御を行う場合、階調データ信号D1、階調データ信号D2から階調データ信号D n までが n ビットのバイナリコードであるときには、階調データ信号D1、階調データ信号D2から階調データ信号D n までとスイッチ手段SW1、スイッチ手段SW2からスイッチ手段SW n までとを対応させるためのデコーダが外部に必要となる。そこで、そのデコーダを不要とするために本実施の形態では、階調データ信号D1、階調データ信号D2から階調データ信号D n までのデコード動作を行うためのスイッチ群SG1、スイッチ群SG2からスイッチ群SG n までを備えている。

【0053】

さらに図8及び図9により詳細に説明する。図8は、図7のスイッチ群SG1、スイッチ群SG2からスイッチ群SG n までの構成の詳細な具体例として、3ビットの階調データ信号D1、階調データ信号D2及び階調データ信号D3により7個の電流出力部を制御する構成を示し、図9は、階調データ信号と、オンとなるスイッチ手段と、駆動電流IOUTとの関係を示している。

【0054】

スイッチ群SG1は、互いに並列接続されたスイッチ手段SW11とスイッチ手段SW12とスイッチ手段SW13とを備え、スイッチ手段SW11の両端がPチャネル型MOSトランジスタM11のドレイン端とPチャネル型MOSトランジスタM12のソース端との間に接続される。

【0055】

スイッチ群SG2は、常時オン状態のスイッチ手段SW21と、互いに並列接続されてスイッチ手段SW21と直列接続されたスイッチ手段SW22とスイッチ手段SW23と、を備え、スイッチ手段SW21の一端とスイッチ手段SW22の一端とがPチャネル型MOSトランジスタM21のドレイン端とPチャネル型MOSトランジスタM22のソース端との間に接続される。

【0056】

スイッチ群SG3は、スイッチ手段SW33と、互いに直列接続されてスイッチ手段SW33と並列接続されたスイッチ手段SW31とスイッチ手段SW32と、を備え、スイッチ手段SW33の両端がPチャネル型MOSトランジスタM31のドレイン端とPチャネル型MOSトランジスタM32のソース端との間に接続される。

【0057】

スイッチ群SG4は、互いに直列接続された常時オン状態のスイッチ手段SW41と常時オン状態のスイッチ手段SW42とスイッチ手段SW43とを備え、スイッチ手段SW41の一端とスイッチ手段SW43の一端とがPチャネル型MOSトランジスタM41のドレイン端とPチャネル型MOSトランジスタM42のソース端との間に接続される。

【0058】

スイッチ群SG5は、スイッチ手段SW53と、互いに並列接続されてスイッチ手段SW53と直列接続されたスイッチ手段SW51とスイッチ手段SW52と、を備え、スイッチ手段SW51の一端とスイッチ手段SW53の一端とがPチャネル型MOSトランジスタM51のドレイン端とPチャネル型MOSトランジスタM52のソース端との間に接続される。

【0059】

スイッチ群SG6は、互いに直列接続された常時オン状態のスイッチ手段SW61とスイッチ手段SW62とスイッチ手段SW63とを備え、スイッチ手段SW61の一端とスイッチ手段SW63の一端とがPチャネル型MOSトランジスタM61のドレイン端とPチャネル型MOSトランジスタM62のソース端との間に接続される。

【0060】

スイッチ群SG7は、互いに直列接続されたスイッチ手段SW71とスイッチ手段SW72とスイッチ手段SW73とを備え、スイッチ手段SW71の一端とスイッチ手段SW73の一端とがPチャネル型MOSトランジスタM71のドレイン端とPチャネル型MOSトランジスタM72のソース端との間に接続される。なお、以上の構成において、常時オン状態のスイッチ手段は、省略することも

できる。

【0061】

そして、スイッチ手段SW11、スイッチ手段SW31、スイッチ手段SW51及びスイッチ手段SW71は、3ビットのLSBである階調データ信号D1によりオンオフ制御され、スイッチ手段SW12、スイッチ手段SW22、スイッチ手段SW32、スイッチ手段SW52、スイッチ手段SW62及びスイッチ手段SW72は、階調データ信号D2によりオンオフ制御され、スイッチ手段SW13、スイッチ手段SW23、スイッチ手段SW33、スイッチ手段SW43、スイッチ手段SW53、スイッチ手段SW63及びスイッチ手段SW73は、3ビットのMSBである階調データ信号D3によりオンオフ制御される。

【0062】

以上の構成により、図9に示すように、3ビットバイナリコードである階調データ信号D1、階調データ信号D2及び階調データ信号D3を(000)から(111)まで変化させると、基準電流源I1の定電流IREFを可変ステップとする0から7IREFまでの駆動電流IOUTが得られる。なお、図9では、便宜上、階調データ信号が論理1のときスイッチ手段がオンするように示したが、スイッチ手段がPチャネル型MOSトランジスタで構成される場合は、論理1が論理レベルLに対応する。また、図8では、3ビットの階調データ信号D1、階調データ信号D2及び階調データ信号D3により7個の電流出力部を制御する構成を示したが、複数のスイッチ手段を含むn個のスイッチ群SG1、スイッチ群SG2からスイッチ群SGnまでを備えて、n個の電流出力部31、電流出力部32から電流出力部3nまでに拡張することは極めて容易である。

【0063】

なお、スイッチ群SG1、スイッチ群SG2からスイッチ群SGnまでの構成を、図6に示す本発明の第5の実施の形態の電流駆動回路の構成にも適用できることは明らかである。

【0064】

以上説明したように、本発明の第6の実施の形態の電流駆動回路によれば、デコード動作を行うためのスイッチ群SG1、スイッチ群SG2からスイッチ群S

G_nまでを備える構成としたことにより、階調データ信号D₁、階調データ信号D₂から階調データ信号D_nまでがnビットのバイナリコードであっても直結してn階調制御を行うことができるという効果が得られる。

【0065】

次に本発明の第7の実施の形態の電流駆動回路の構成について図10を参照して説明する。図10は、本発明の第7の実施の形態の電流駆動回路の構成図である。図10に示す本発明の第7の実施の形態の電流駆動回路の構成と図7に示す本発明の第6の実施の形態の電流駆動回路の構成との相違部分は、複数のスイッチ手段を含むn個のスイッチ群S_{G1}、スイッチ群S_{G2}からスイッチ群S_{Gn}までにおいて、各スイッチ群に含まれて互いに直列接続されているスイッチ手段のうちの一部を、そのスイッチ群が接続されたカレントミラー回路のPチャネル型MOSトランジスタのソース側に移した部分のみであり他の構成部分は同一であるため、図10に示す構成と図7に示す構成との同一構成部分には同一符号を付してその説明を省略する。

【0066】

バイアス発生部40は、図7に示すバイアス発生部10のPチャネル型MOSトランジスタM01のソース端と高電位側電源VDDとの間にスイッチ手段SW00を接続した構成であり、電流出力部51は、図7に示す電流出力部31のPチャネル型MOSトランジスタM11のソース端と高電位側電源VDDとの間にスイッチ手段SW01を接続した構成であり、電流出力部52は、図7に示す電流出力部32のPチャネル型MOSトランジスタM21のソース端と高電位側電源VDDとの間にスイッチ手段SW02を接続した構成であり、以下同様に、電流出力部5_nは、図7に示す電流出力部3_nのPチャネル型MOSトランジスタM_n1のソース端と高電位側電源VDDとの間にスイッチ手段SW0_nを接続した構成である。バイアス発生部40の常時オン状態のスイッチ手段SW00は、カレントミラー動作を高精度にするため、スイッチ手段SW01、スイッチ手段SW02からスイッチ手段SW0_nまでのオン抵抗（Pチャネル型MOSトランジスタのソースドレイン抵抗）と同じオン抵抗（Pチャネル型MOSトランジスタのソースドレイン抵抗）を接続するためのものである。そして、一部のスイッ

チ手段が除かれたため、 n 個のスイッチ群 SG 1、スイッチ群 SG 2 からスイッチ群 SG n までを n 個のスイッチ群 SG 0 1、スイッチ群 SG 0 2 からスイッチ群 SG 0 n までに変更している。

【0067】

図 8 の構成によれば、 $n = 7$ であるから、例えば、互いに並列接続されたスイッチ手段 SW 1 1 とスイッチ手段 SW 1 2 とスイッチ手段 SW 1 3 とがスイッチ手段 SW 0 1 であり、常時オン状態のスイッチ手段 SW 2 1 がスイッチ手段 SW 0 2 であり、以下同様に、スイッチ手段 SW 7 1 がスイッチ手段 SW 0 7 である。

【0068】

以上説明したように、本発明の第 7 の実施の形態の電流駆動回路によれば、本発明の第 6 の実施の形態の電流駆動回路と同じ効果が得られる。

【0069】

【発明の効果】

本発明による効果は、高精度の駆動電流を得ることができ、かつ、サージ電流の発生を抑えることができる電流駆動回路、及び、その電流駆動回路を備える表示装置、を実現することができることである。

【0070】

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の電流駆動回路の構成図である。

【図 2】

本発明の第 1 の実施の形態の電流駆動回路の動作の説明図である。

【図 3】

本発明の第 2 の実施の形態の電流駆動回路の構成図である。

【図 4】

本発明の第 3 の実施の形態の表示装置の構成図である。

【図 5】

本発明の第 4 の実施の形態の電流駆動回路の構成図である。

【図 6】

本発明の第 5 の実施の形態の電流駆動回路の構成図である。

【図 7】

本発明の第 6 の実施の形態の電流駆動回路の構成図である。

【図 8】

図 7 の詳細な構成図である。

【図 9】

図 8 のデコード動作の説明図である。

【図 1 0】

本発明の第 7 の実施の形態の電流駆動回路の構成図である。

【図 1 1】

従来例の電流駆動回路の構成図である。

【図 1 2】

従来例の電流駆動回路の動作の説明図である。

【符号の説明】

- 1 0 バイアス発生部
- 1 1 電流出力部
- 1 2 電流出力部
- 1 n 電流出力部
- 2 1 電流駆動回路
- 2 2 電流駆動回路
- 2 n 電流駆動回路
- 3 1 電流出力部
- 3 2 電流出力部
- 3 n 電流出力部
- 4 0 バイアス発生部
- 5 1 電流出力部
- 5 2 電流出力部
- 5 n 電流出力部

60 信号処理回路

61 電流駆動回路

62 走査回路

63 有機EL素子

64 画像データ信号

65 階調データ信号

66 走査制御信号

M01 Pチャネル型MOSトランジスタ

M02 Pチャネル型MOSトランジスタ

M03 Pチャネル型MOSトランジスタ

M04 Pチャネル型MOSトランジスタ

M02_{n-1} Pチャネル型MOSトランジスタ

M02_n Pチャネル型MOSトランジスタ

M11 Pチャネル型MOSトランジスタ

M12 Pチャネル型MOSトランジスタ

M21 Pチャネル型MOSトランジスタ

M22 Pチャネル型MOSトランジスタ

M31 Pチャネル型MOSトランジスタ

M32 Pチャネル型MOSトランジスタ

M41 Pチャネル型MOSトランジスタ

M42 Pチャネル型MOSトランジスタ

M51 Pチャネル型MOSトランジスタ

M52 Pチャネル型MOSトランジスタ

M61 Pチャネル型MOSトランジスタ

M62 Pチャネル型MOSトランジスタ

M71 Pチャネル型MOSトランジスタ

M72 Pチャネル型MOSトランジスタ

M_n1 Pチャネル型MOSトランジスタ

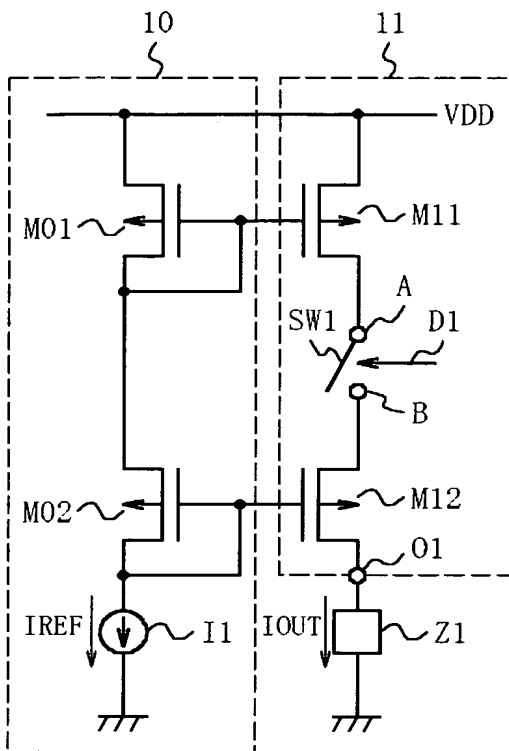
M_n2 Pチャネル型MOSトランジスタ

SW1 スイッチ手段
SW2 スイッチ手段
SWn スイッチ手段
SG1 スイッチ群
SG2 スイッチ群
SGn スイッチ群
SW11、SW12、SW13 スイッチ手段
SW21、SW22、SW23 スイッチ手段
SW31、SW32、SW33 スイッチ手段
SW41、SW42、SW43 スイッチ手段
SW51、SW52、SW53 スイッチ手段
SW61、SW62、SW63 スイッチ手段
SW71、SW72、SW73 スイッチ手段
SW00 スイッチ手段
SW01 スイッチ手段
SW02 スイッチ手段
SW0n スイッチ手段
SG01 スイッチ群
SG02 スイッチ群
SG0n スイッチ群
A 接点
B 接点
D1 階調データ信号
D2 階調データ信号
Dn 階調データ信号
I1 基準電流源
I2 基準電流源
In 基準電流源
O1 出力端子

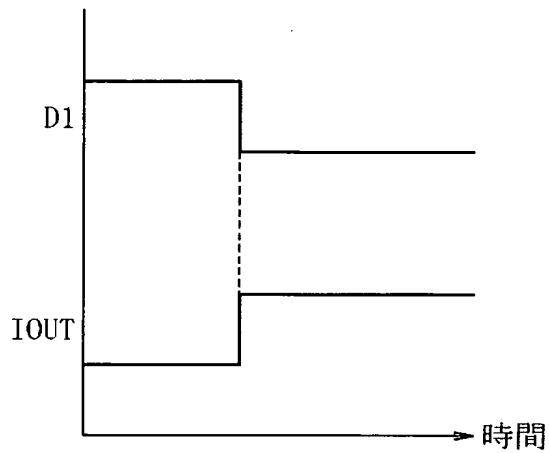
O 2 出力端子
O n 出力端子
Z 1 有機 E L 素子
Z 2 有機 E L 素子
Z n 有機 E L 素子

【書類名】 図面

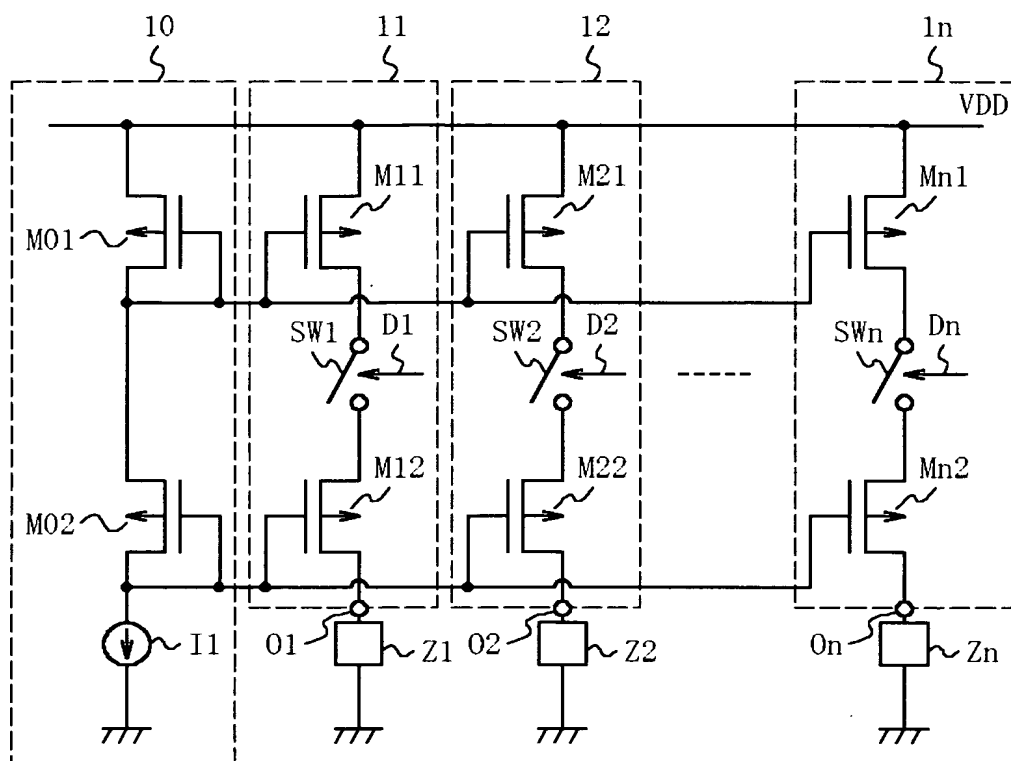
【図 1】



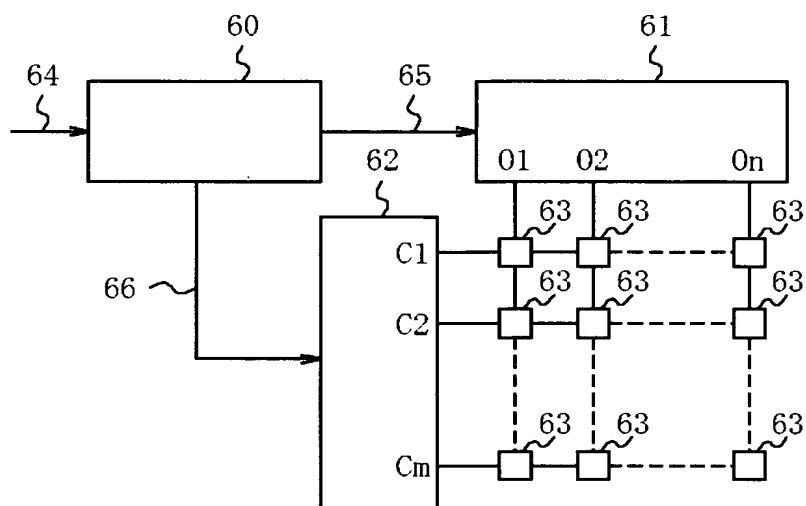
【図 2】



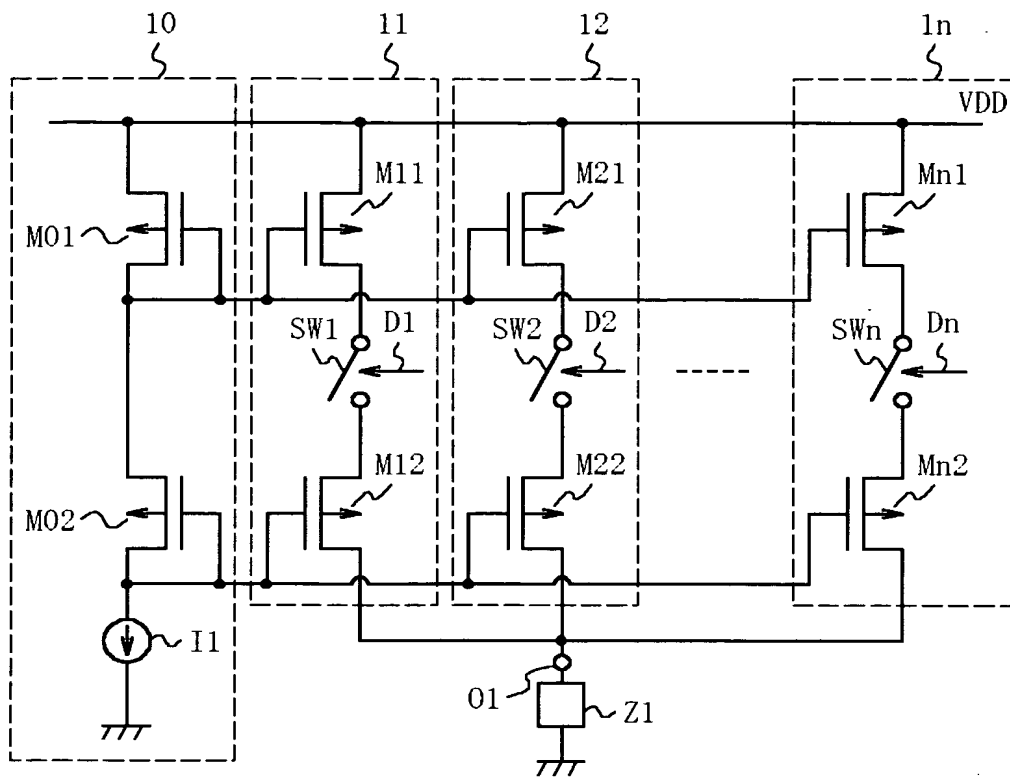
【図 3】



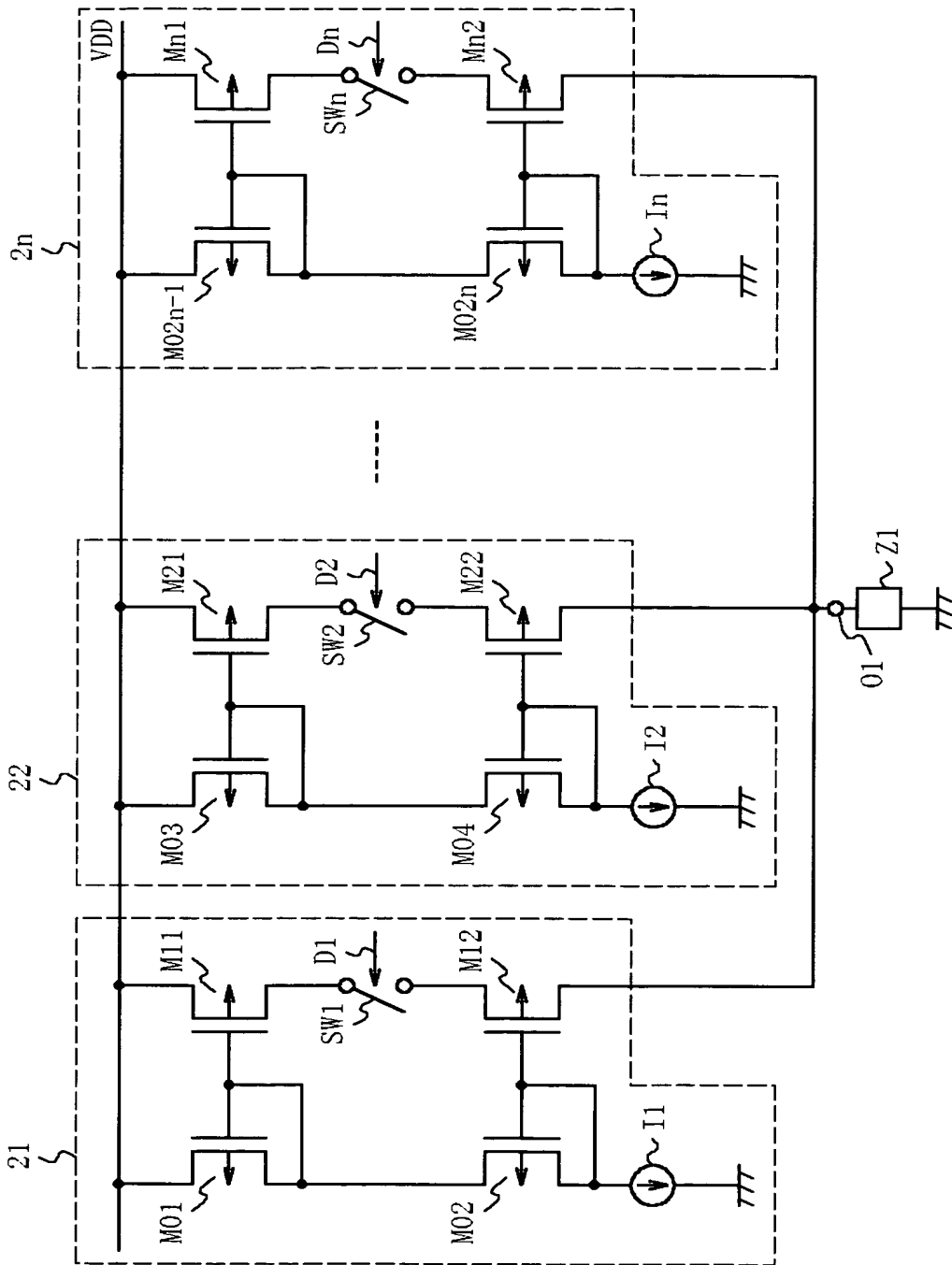
【図 4】



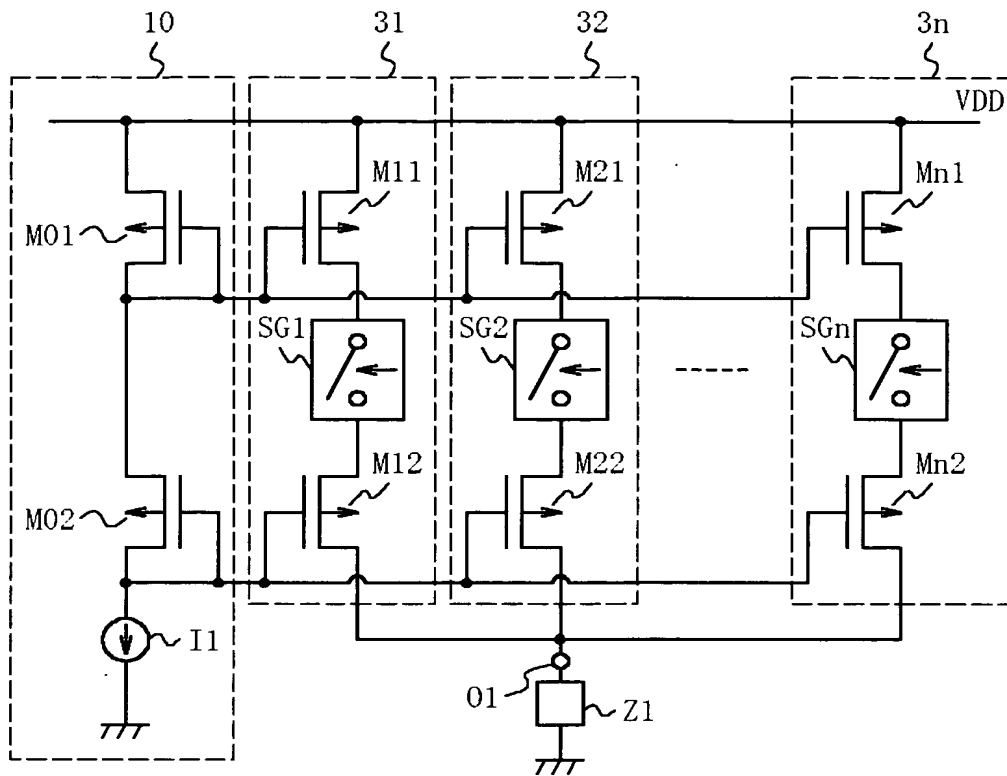
【図 5】



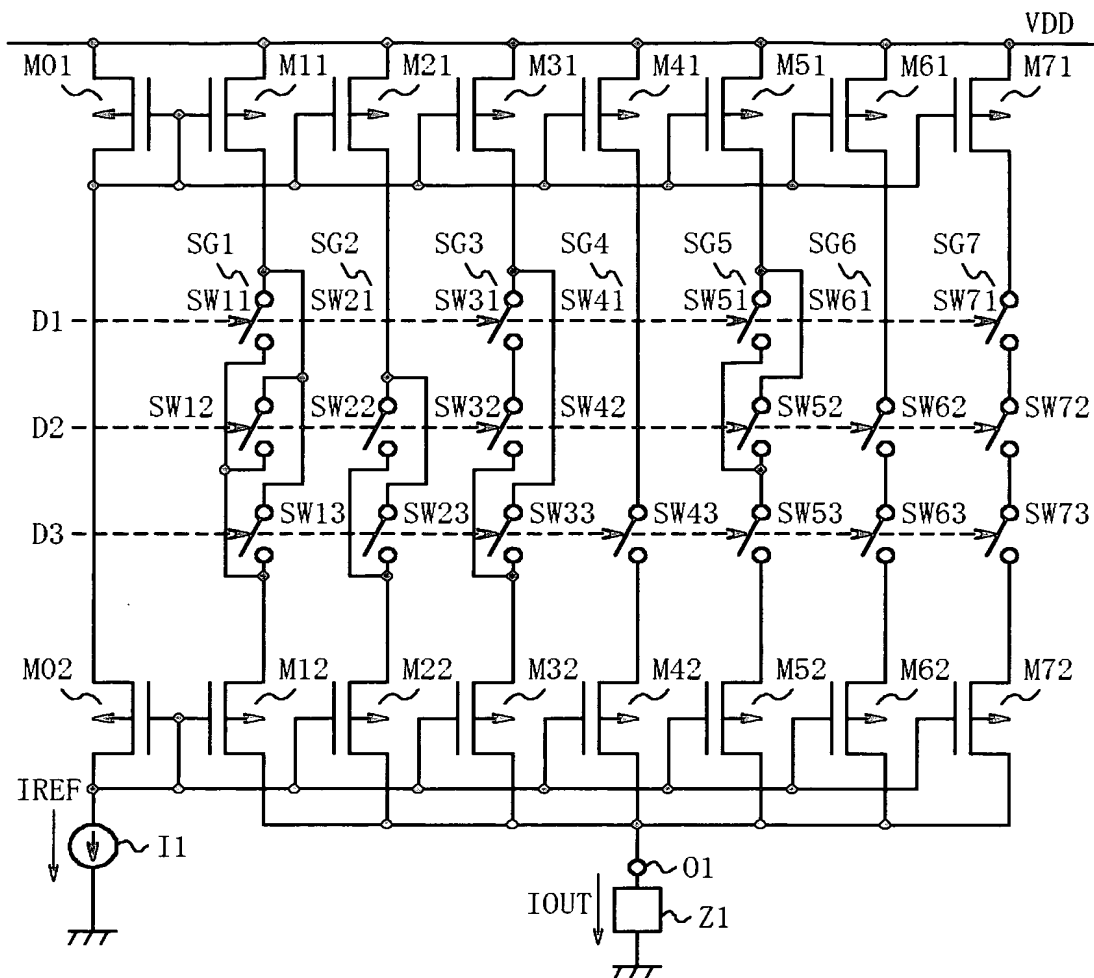
【図 6】



【図 7】



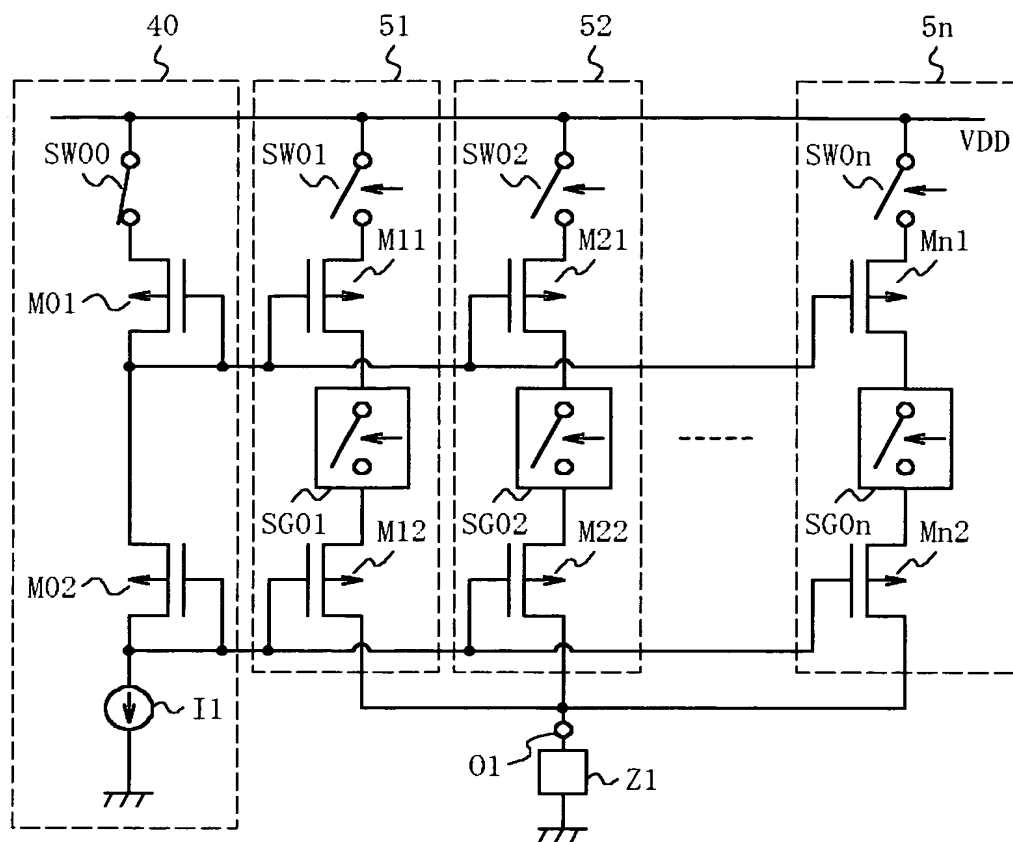
【図 8】



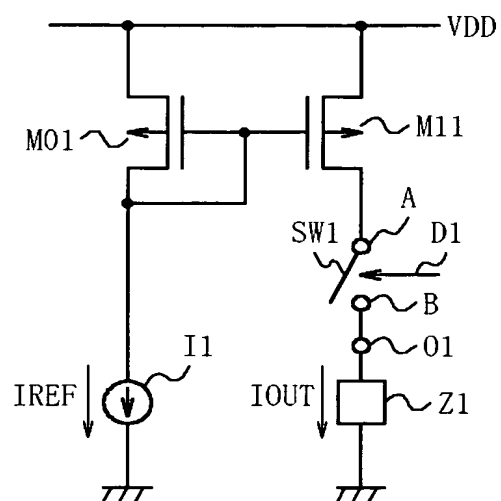
【図 9】

D3 D2 D1	オンとなるスイッチ手段	IOUT
0 0 0	無し	0
0 0 1	SW11, SW31, SW51, SW71	IREF
0 1 0	SW12, SW22, SW32, SW52, SW62, SW72	2IREF
0 1 1	SW11, SW12, SW22, SW31, SW32, SW51, SW52, SW62, SW71, SW72	3IREF
1 0 0	SW13, SW23, SW33, SW43, SW53, SW63, SW73	4IREF
1 0 1	SW11, SW13, SW23, SW31, SW33, SW43, SW51, SW53, SW63, SW71, SW73	5IREF
1 1 0	SW12, SW13, SW22, SW23, SW32, SW33, SW43, SW52, SW53, SW62, SW63, SW72, SW73	6IREF
1 1 1	SW11, SW12, SW13, SW22, SW23, SW31, SW32, SW33, SW43, SW51, SW52, SW53, SW62, SW63, SW71, SW72, SW73	7IREF

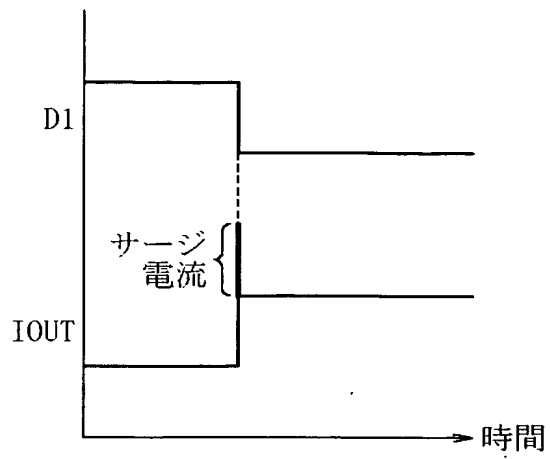
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高精度の駆動電流を得ることができ、かつ、サージ電流の発生を抑えることができる電流駆動回路、及び、その電流駆動回路を備える表示装置、を提供すること。

【解決手段】 バイアス発生部 10 と、電流出力部 11 と、を備え、バイアス発生部 10 は、Pチャネル型MOSトランジスタM01と、Pチャネル型MOSトランジスタM02と、基準電流源 I1 と、を備え、電流出力部 11 は、Pチャネル型MOSトランジスタM11と、スイッチ手段SW1と、Pチャネル型MOSトランジスタM12と、出力端子O1と、を備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-080098
受付番号	50300470254
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 3月25日

<認定情報・付加情報>

【提出日】	平成15年 3月24日
-------	-------------

次頁無

特願 2 0 0 3 - 0 8 0 0 9 8

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社